

Thin-film transistor having subgate and the manufacturing method of the same

Patent number: TW439294
Publication date: 2001-06-07
Inventor: LIN HUNG-JR (TW); HUANG DIAU-YUAN (TW); LIN CHI-YUAN (TW)
Applicant: SHR MIN (TW)
Classification:
- international: H01L29/786
- european:
Application number: TW19990116070 19990917
Priority number(s): TW19990116070 19990917

Abstract of TW439294

There are provided a thin-film transistor having sub-gate and the manufacturing method of the same. By applying a voltage to the sub-gate, the thin-film transistor fabricated by the method of the present invention can sense and form an electrical junction to equivalently replace the traditional lightly-doped drain region, whereby the cut-off leakage current can be reduced, and the current-driving capability of the thin-film transistor won't be affected.

Data supplied from the **esp@cenet** database - Worldwide

THIS PAGE BLANK (USPTO)

中華民國專利公報 [19] [12]

[11]公告編號: 439294

[44]中華民國 90年(2001) 06月07日

發明

[51] Int.Cl. 06: H01L29/786

第 91101482 號

號全

9 頁

初審引証附件一

[54]名稱: 具有副閘極之薄膜電晶體及其製造方法

[21]申請案號: 088116070

[22]申請日期: 中華民國 88年(1999) 09月17日

[72]發明人:

林鴻志

黃調元

林其淵

新竹市四維路八十九巷二之一號十一樓之三

新竹市大學路一〇〇一號

新竹市大學路一〇〇一號之一

[71]申請人:

施敏

新竹市大學路一〇〇一號之一

[74]代理人: 洪澄文 先生

1

2

[57]申請專利範圍:

1. 一種具有副閘極之薄膜電晶體的製造方法, 包括:

提供一絕緣基板;

形成一島狀半導體層於上述絕緣基板之上;

依序形成一第一絕緣層、一第一導電層、及一第二絕緣層於上述島狀半導體層和上述絕緣基板之上;

定義蝕刻上述第二絕緣層和上述第一導電層, 而形成二個副閘極堆疊層於上述第一絕緣層、以及上述島狀半導體層之上;

形成邊襯於二個上述副閘極堆疊層之側壁上;

去除上述第一絕緣層, 而露出上述島狀半導體層;

、形成閘極介電層於上述島狀半導體層之上;

定義形成一主閘極層於二個上述副閘極堆疊層間之閘極介電層上; 以及

形成源/汲極區於上述島狀半導體層兩端部分之中。

2. 如申請專利範圍第1項所述之方法, 其中, 上述絕緣基板係選擇 SiO_2 、或石英之一而形成。

5.

3. 如申請專利範圍第1項所述之方法, 其中, 先形成一半導體層於上述絕緣基板之上, 再定義蝕刻上述半導體層, 而形成上述島狀半導體層; 上述半導體層之厚度介於300~2000Å之間, 可選擇單晶矽、非晶矽、或複晶矽之一而形成。

10.

4. 如申請專利範圍第1項所述之方法, 其中, 上述第一絕緣層係以化學氣相沈積法所形成之氮化矽層, 厚度介於100~1000 Å之間。

15.

5. 如申請專利範圍第4項所述之方法, 其中, 上述第一絕緣層係使用電漿蝕刻、或是 H_3PO_4 溶液蝕刻來進行去除。

20.

(2)

3

4

6.如申請專利範圍第1項所述之方法，其中，上述第一導電層選擇自金屬層、或是有經過高濃度摻雜之複晶矽而構成，厚度介於300～2000 Å之間。

7.如申請專利範圍第1項所述之方法，其中，上述第二絕緣層係以化學氣相沈積法所形成之氧化層，厚度介於300～1000 Å之間。

8.如申請專利範圍第1項所述之方法，其中，形成上述邊襯之方法係為先沈積一厚度介於300～2000 Å之氧化層於二個上述副閘極堆疊層、及其側壁之上；再對上述氧化層進行非等向性蝕刻。

9.如申請專利範圍第1項所述之方法，其中，上述閘極介電層係使用熱氧法或沈積法而形成。

10.如申請專利範圍第1項所述之方法，其中，形成上述主閘極層之方法係為先沈積一第二導電層於上述閘極介電層、上述副閘極堆疊層、上述邊襯、及上述島狀半導體之上；以微影定義蝕刻上述第二導電層，而形成上述主閘極層。

11.如申請專利範圍第1項所述之方法，其中，形成源／汲極區之方法係先對上述島狀半導體之兩端部分，利用離子佈植方法進行摻雜；再進行退火之程序。

12.一種具有副閘極之薄膜電晶體的製造方法，包括：

提供一絕緣基板；

形成二個島狀副閘極層於上述絕緣基板之上；

形成一第一絕緣層於上述島狀副閘極層、及上述絕緣基板之上；

形成一第二絕緣層於上述第一絕緣層之上；

平坦化上述第二絕緣層，直到露出上述第一絕緣層；

形成一島狀半導體層於上述第一及第二絕緣層之上；

形成閘極介電層於上述島狀半導體層之表面；

5. 形成一島狀主閘極層於上述閘極介電層之上；以及

形成源／汲極區於上述島狀半導體層之兩端部分。

10. 13.如申請專利範圍第12項所述之方法，其中，上述絕緣基板係選擇SiO₂、或石英之一而形成。

15. 14.如申請專利範圍第12項所述之方法，其中，先形成一第一導電層於上述絕緣基板之上，再定義蝕刻上述第一導電層，而形成二個上述島狀副閘極層；上述第一導電層選擇白金層、或是有經過高濃度摻雜之複晶矽而構成，厚度介於300～5000 Å之間。

20. 15.如申請專利範圍第12項所述之方法，其中，上述第一絕緣層為使用化學氣相沈積法所形成之氮化矽層，厚度介於300～2000 Å。

25. 16.如申請專利範圍第12項所述之方法，其中，上述第二絕緣層為使用化學氣相沈積法所形成之氧化層。

30. 17.如申請專利範圍第12項所述之方法，其中，平坦化上述第二絕緣層之方法，可為完全使用化學機械研磨法進行平坦化，直到露出上述第一絕緣層；或是，先使用化學機械研磨法進行平坦化，再利用BOE對上述第二絕緣層進行回蝕，直到露出上述第一絕緣層。

35. 18.如申請專利範圍第12項所述之方法，其中，形成上述島狀半導體層之方法，係先形成一半導體層於上述第一、第二絕緣層之上；再定義蝕刻上述半導體層而形成；上述半導體層之厚度介於300～2000 Å之間，可選擇非晶矽、或複晶矽之一而形成。

40.

(3)

5

19.如申請專利範圍第12項所述之方法，其中，上述閘極介電層係使用熱氧化或沈積法而形成。

20.如申請專利範圍第12項所述之方法，其中，形成上述島狀主閘極層之方法，係為先沈積一第二導電層於上述閘極介電層、第二絕緣層之上；再以微影定義蝕刻上述第二導電層，而形成上述島狀主閘極層；上述島狀主閘極層之兩端部分，分別與位於二個上述島狀副閘極層上方之部分區域重疊。

21.如申請專利範圍第12項所述之方法，其中，上述源／汲極區之形成步驟包括：形成邊襯於上述島狀主閘極層之側壁上；進行離子佈植，將雜質摻入位於上述邊襯兩側之上述島狀半導體層之內；以及，進行退火程序，以形成上述源／汲極區。

32.如申請專利範圍第12項所述之方法，其中，上述源／汲極區之形成步驟包括：形成一島狀罩幕層覆蓋上述島狀主閘極層、以及位於上述島狀主閘極層兩側之部分上述閘極介電層；進行離子佈植，將雜質摻入位於上述島狀罩幕層兩側之上述島狀半導體層之內；以及，進行退火程序，以形成上述源／汲極區。

23.一種具有副閘極之薄膜電晶體，包括：

一絕緣基板；

一半導體薄膜層，形成於上述絕緣基底之上；其中，上述半導體薄膜層包括一通道區；以及，二個源／汲極區，形成於上述通道區之兩側；

兩個副閘極結構，形成於上述通道區之上；

一主閘極結構，形成於上述通道區之上、以及二個上述副閘極結構之間；

其中，上述主閘極結構之閘極介電層

6

的厚度小於上述副閘極之閘極介電層的厚度；上述主閘極結構和二個上述副閘極結構彼此互相隔離。

24.一種具有副閘極之薄膜電晶體，包括：

一絕緣基板；

二個副閘極結構，形成於上述絕緣基板之上；

一半導體薄膜層，形成於二個上述副閘極結構之上；其中，上述半導體薄膜層包括一通道區；以及，二個源／汲極區，形成於上述通道區之兩側；以及

一主閘極結構，形成於上述通道區之上；其中，上述主閘極結構之閘極介電層的厚度小於上述副閘極結構之閘極介電層的厚度。

25.如申請專利範圍第24項所述之薄膜電晶體，其中，二個源／汲極區分別與二個上述副閘極結構有重疊部分；上述主閘極結構與二個上述副閘極結構有重疊部分。

圖式簡單說明：

第一圖顯示傳統薄膜電晶體之架構；

第二圖顯示第一圖與第三圖所示薄膜電晶體之汲極電流(I_D)對閘極電壓(V_G)之特性圖；

第三圖a和第三圖b顯示具有輕摻雜區結構之薄膜電晶體之架構；

第四圖顯示具有金屬場電極之薄膜電晶體之架構；

第五圖a至第五圖h顯示本發明第一實施例具有副閘極之薄膜電晶體之製造流程剖面圖；

第六圖a至第六圖h顯示本發明第二實施例具有副閘極之薄膜電晶體之製造流程剖面圖；

第七圖a和第七圖b顯示第二實施例中，形成源／汲極區之另一種方式。

5.

10.

15.

20.

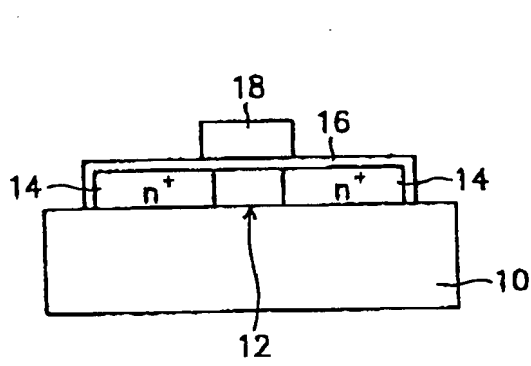
25.

30.

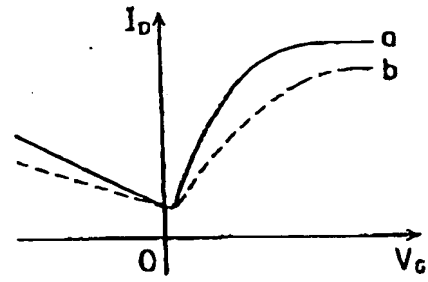
35.

40.

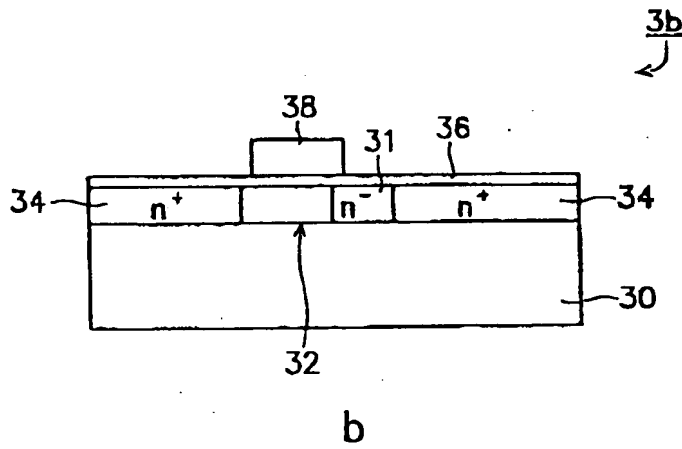
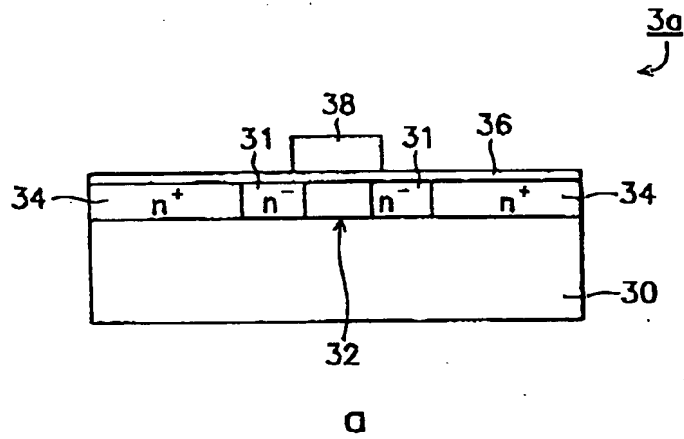
(4)



第一圖

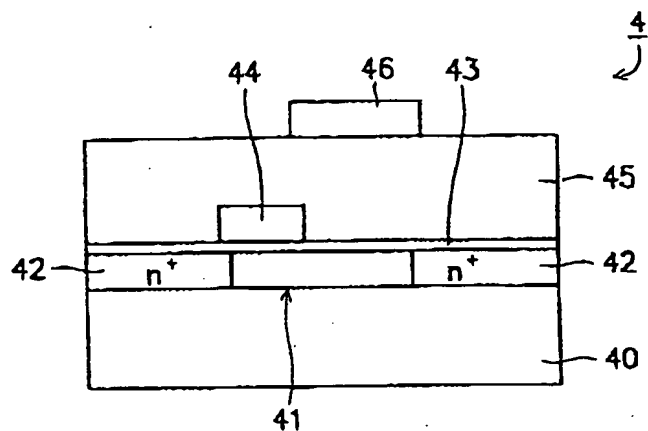


第二圖

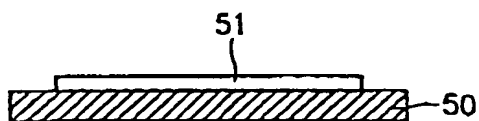


第三圖

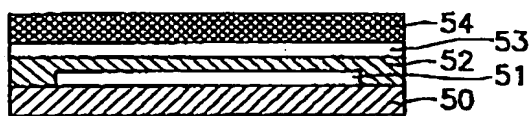
(5)



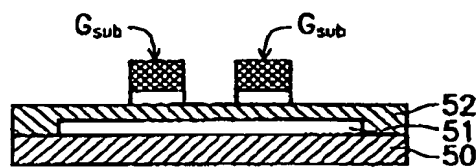
第四圖



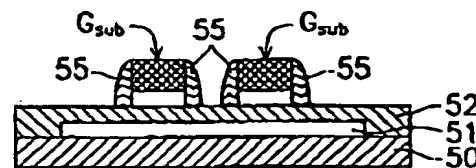
a



b



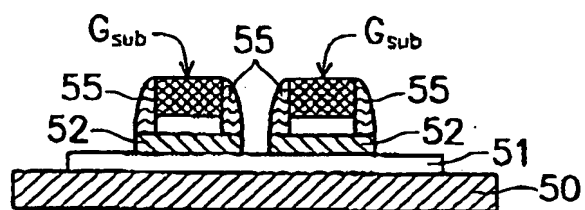
c



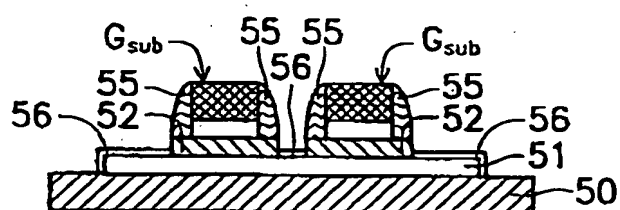
d

第五圖

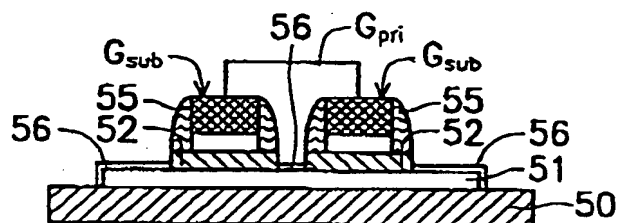
(6)



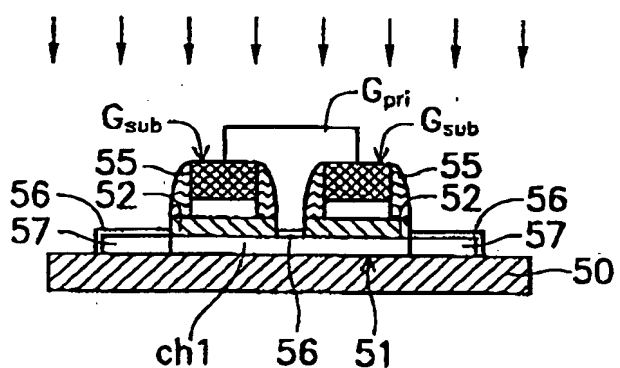
e



f



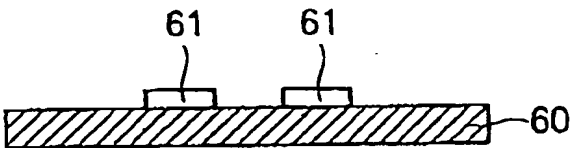
g



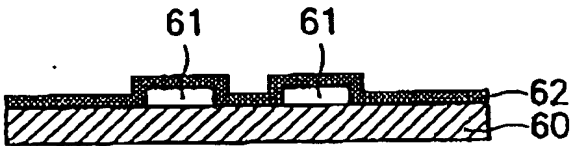
h

第五圖

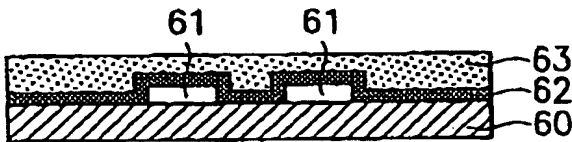
(7)



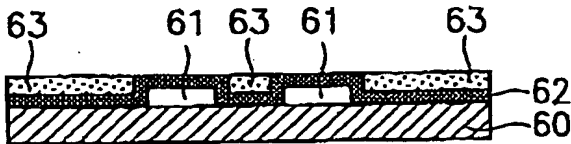
a



b



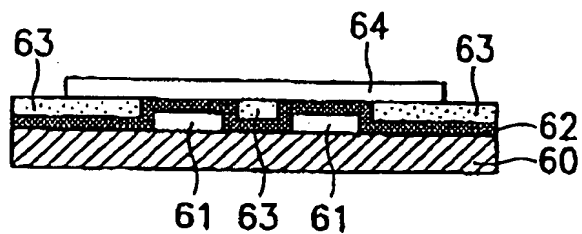
c



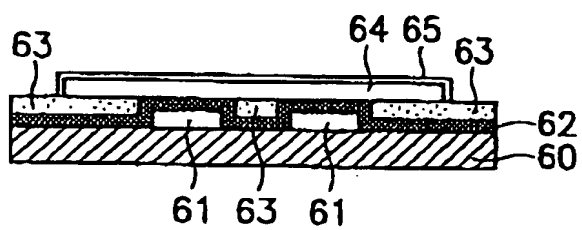
d

第六圖

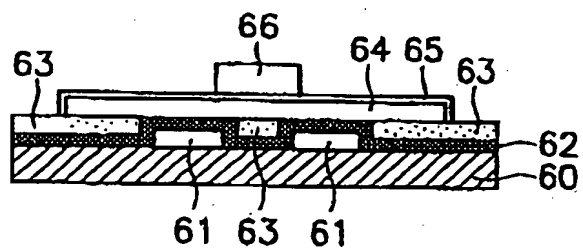
(8)



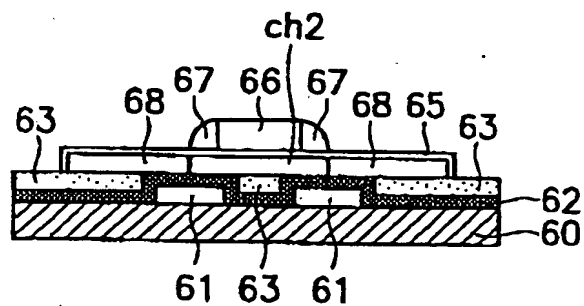
e



f



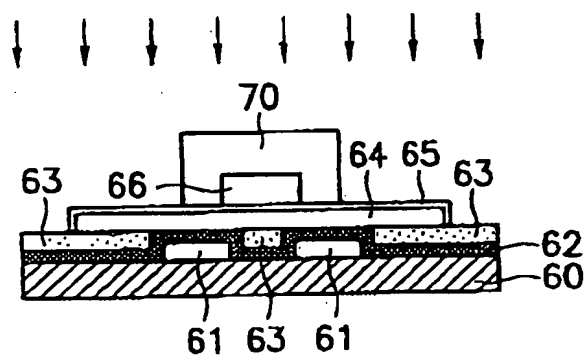
g



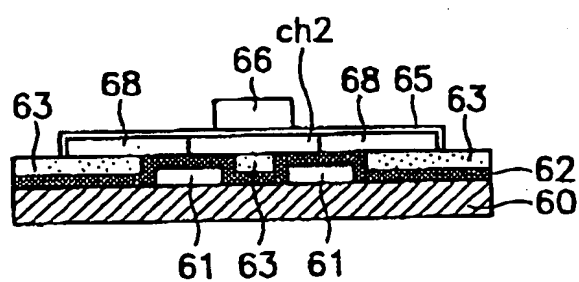
h

第六圖

(9)



a



b

第七圖

THIS PAGE BLANK (USPTO)